



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

02425806.3

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

**THIS PAGE BLANK (USPTO)**



Anmeldung Nr:  
Application no.: 02425806.3  
Demande no:

Anmeldetag:  
Date of filing: 30.12.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Method for forming structures self-aligned with each other on a semiconductor substrate

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL  
PT SE SI SK TR

**THIS PAGE BLANK (USPTO)**

Titolo: Metodo per formare strutture tra loro autoallineate su un substrato semiconduttore.

## DESCRIZIONE

### Campo di applicazione

- 5 La presente invenzione fa riferimento ad un metodo per formare strutture tra loro autoallineate su un substrato semiconduttore.

L'invenzione riguarda in particolare, ma non esclusivamente, un metodo per formare su un substrato semiconduttore due zone impiantate contigue, ad esempio per una regione di base estrinseca, una regione di base intrinseca e una regione di emettitore di un transistor bipolare e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

10

### Arte nota

- 15 Come è ben noto, l'allineamento reciproco delle strutture incorporate in un circuito integrato è uno tra i principali inconvenienti per quanto riguarda la dimensione finale dei dispositivi elettronici realizzati su un substrato semiconduttore, con un effetto diretto sull'aumento dell'area dei componenti e di conseguenza sul costo dei processi.

20 Il posizionamento relativo degli elementi che costituiscono un circuito integrato su semiconduttore richiede l'osservanza di alcune regole dimensionali che garantiscono la non interazione tra elementi circuitali indipendenti tra loro. Tali regole sono legate ai limiti hardware delle attrezzature litografiche che servono per definire tali elementi circuitali stessi.

- 25 Per ottenere il posizionamento reciproco desiderato dei diversi elementi circuitali si usa in genere, come punto di riferimento assoluto, una struttura o marca appositamente disegnata, in relazione alla quale si collocano tutti gli elementi costituenti del dispositivo. Se esiste un vincolo di posizionamento relativo tra due elementi B e C, la necessità di

prendere un punto fisso A come riferimento implica un doppio impiego di spazio B1 e C1 di sicurezza, come mostrato in figura 1.

5 Se si riesce invece ad ottenere un allineamento diretto tra i due elementi D, E senza passare attraverso la mediazione di un riferimento assoluto si ottiene quindi un risparmio in spazio occupato come mostrato in figura 2, necessitando l'impiego di un solo spazio E1 di sicurezza.

10 Se poi si riesce ad utilizzare uno dei due elementi F, G come limite (maschera) per la definizione dell'altro, l'impiego di spazio viene ridotto al minimo, essendo del tutto eliminata la necessità di sprecare spazio per garantire margine di sicurezza all'allineamento reciproco come mostrato in figura 3.

Quest'ultima configurazione mostrata, prende il nome di autoallineamento.

15 Questa tecnica dell'autoallineamento è una tecnologia usata, ove possibile, sino dagli inizi della microelettronica. A titolo di esempio di strutture autoallineate si possono citare l'isolamento semirecesso di tipo LOCOS (Local Oxidation Of Silicon), linee di source autoallineate delle  
20 celle di memoria di tipo SAS (Self-Aligned Source), contatti autoallineati SAC (Self-Aligned Contact) e regioni di floating gate delle celle di memoria del tipo a stacked gate.

Un primo metodo noto per realizzare strutture autoallineate è comunemente noto come dell'auto-allineamento "positivo".

25 Nell'autoallineamento in "positivo", viene definita una prima struttura, che ha natura fisica e consistenza tali da poter agire da maschera per la seconda struttura.

L'esempio più classico è dato dal drogaggio di regioni di source e drain di un transistor MOS, che risultano autoallineate rispetto alla preesistente regione di gate in silicio policristallino.

30 Altri esempi sono dati dalla realizzazione del SAS nelle memorie Flash, in cui lo strato di silicio policristallino delle word-line (già definite) fa da

maschera per la rimozione dello strato di ossido dalle zone di source. Un altro esempio ancora è quello dalla definizione di una regione di floating gate nelle memorie non volatili, nel qual caso è il secondo livello di polisilicio, già definito, a fare da maschera per la rimozione del primo livello di polisilicio.

Un secondo metodo noto per realizzare strutture autoallineate è comunemente noto come dell'Auto-allineamento "negativo".

Nell'auto-allineamento in "negativo", invece la struttura che potrebbe fare da maschera (in genere uno strato depositato o cresciuto) è disposta a disopra della struttura da autoallineare.

L'esempio più classico è costituito dall'isolamento LOCOS, nel quale uno strato di ossido spesso di campo è sopra l'impiantazione di isolamento. Questa tecnica utilizza uno strato protettivo sacrificale di nitrato di silicio, che maschera le aree attive dall'impiantazione di isolamento, e in seguito, maschera anche la crescita dello strato di ossido di campo.

Pur vantaggiosa sotto vari aspetti, quest'ultimo metodo presenta vari inconvenienti. Con questo metodo vi è la necessità di utilizzare trattamenti termici pesanti, che possono aver impatto su componenti già definiti o possono provocare diffusioni indesiderate in strutture già presenti o giunzioni già create precedentemente.

Inoltre questo metodo sfrutta la diffusione di una specie in un'altra (ad esempio  $O_2$  in Si); essendo questo un processo isotropo, si verificherà anche lateralmente, sotto il bordo del nitrato che protegge l'area attiva dando luogo a una parziale ossidazione della stessa, e creando un'area di ossido con spessore inferiore a quello dello strato di isolamento ma comunque tale da non potersi utilizzare per gli elementi attivi.

In questo caso quindi si ha uno scostamento dell'area attiva dalla sua negata del tutto indesiderato e legato al meccanismo stesso di formazione delle due strutture, quindi non controllabile né modulabile secondo le richieste dell'utente.

Anche all'isolamento di tipo STI (Shallow Trench Isolation) che  
fondamentalmente segue lo stesso schema dell'isolamento di tipo  
LOCOS, ha gli stessi svantaggi legati ai trattamenti termici. Infatti  
nell'isolamento di tipo STI avviene la deposizione dello strato di ossido  
di isolamento anziché la crescita termica.

In definitiva la tecnica dell'autoallineamento si applica  
vantaggiosamente per strutture presenti fisicamente sul substrato,  
come gli strati di nitruro per gli isolamenti, la regione di gate per la SAS  
o l'attacco della regione di floating gate.

Tuttavia tali metodi noti non si possono applicare a strutture che non  
lascino tracce significative di sé sul silicio, come per esempio le zone  
impiantate, che dopo la rimozione del fotoresist che abitualmente serve  
per identificarle non risultano più (o solo in modo estremamente  
difficoltoso e poco ripetibile) distinguibili dalle zone adiacenti non  
impiantate. Oppure ancora autoallineamenti di tipo "negativo" qualora  
non si possano accettare le limitazioni dell'approccio LOCOS, vale a dire  
i trattamenti termici pesanti, diffusione laterale poco controllata, gli  
scavi nel silicio.

Soluzioni note per ottenere configurazioni di questo tipo utilizzano  
metodi esclusivamente litografici, che ricadono quindi nel problema  
dello spreco di spazio connesso con le limitazioni di allineamento già  
descritte.

Il problema tecnico che sta alla base della presente invenzione è quello  
di escogitare un metodo per formare su un substrato semiconduttore  
dispositivi o elementi di dispositivo tra loro autoallineati e avente  
caratteristiche strutturali tali da consentire di minimizzare lo  
sfruttamento di trattamenti termici dedicati, superando così le  
limitazioni e gli inconvenienti che tuttora limitano i dispositivi realizzati  
secondo l'arte nota.

#### Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella



5 formare e definire una prima pluralità di strutture di un primo materiale su uno strato semiconduttore, formare uno strato protettivo di un secondo materiale selettivo rispetto al primo su questa pluralità di strutture, planarizzare questo strato protettivo fino a esporre la pluralità di strutture in modo da ottenere una seconda pluralità di strutture tra loro autoallineate. Vantaggiosamente elementi distanziatori vengono realizzati sulle prime e sulle seconde strutture.

10 Sulla base di tale idea di soluzione il problema tecnico è risolto da un metodo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1 e 17.

Le caratteristiche ed i vantaggi del metodo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

15 Breve descrizione dei disegni

In tali disegni:

- le figure da 1 a 3 mostrano schematicamente diversi tipi di posizionamento relativo di elementi circuitali,
- le figure da 4 a 9 sono rispettive viste schematiche in sezione di una porzione di circuito integrato durante le successive fasi di una prima forma di realizzazione del metodo secondo la presente invenzione,
- le figure da 10 a 15 sono rispettive viste schematiche in sezione di una porzione di circuito integrato durante le successive fasi di una seconda forma di realizzazione del metodo secondo la presente invenzione.

25 Descrizione dettagliata

Con riferimento a tali figure, viene descritto un metodo per formare su un substrato semiconduttore strutture tra loro autoallineate.

Il metodo secondo l'invenzione si esplica con la sequenza di fasi di processo. Tali fasi descritte di seguito non formano un flusso completo

di processo per la fabbricazione di circuiti integrati. La presente invenzione può essere messa in pratica insieme alle tecniche di fabbricazione dei circuiti integrati attualmente usate nel settore, e sono incluse solo quelle fasi del processo comunemente usate che sono necessarie per la comprensione della presente invenzione.

Le figure che rappresentano viste schematiche di porzioni di un circuito integrato durante la fabbricazione non sono disegnate in scala, ma sono invece disegnate in modo da illustrare le caratteristiche importanti dell'invenzione.

10 In particolare, il metodo secondo l'invenzione per realizzare strutture tra loro autoallineate su un substrato 1 semiconduttore, prevede di formare sul substrato 1 semiconduttore prime regioni 3, 12 di un primo materiale aggettanti da detto substrato 1 semiconduttore. Questo primo materiale è ad esempio uno strato di ossido.

15 Viene quindi formato uno strato 7, 16 protettivo su tutto detto substrato 1 semiconduttore di un secondo materiale che è selettivo rispetto al primo materiale, ad esempio uno strato di nitruro.

Successivamente viene effettuata una fase di planarizzazione dello strato 7, 16 protettivo fino ad esporre le prime regioni 3, 12 e realizzare  
20 seconde regioni 7a, 16a dello strato 7, 16 protettivo aggettanti dal substrato 1 comprese tra le prime regioni 3, 12.

Rimangono così definite due pluralità di regioni 3, 3a e 12, 12a che sono tra loro allineate.

Rimuovendo selettivamente la prima pluralità di regioni 3, 12, possono  
25 essere quindi definite ulteriori regioni allineate alla seconda pluralità di regioni 7a, 16a usando come maschera la seconda pluralità di regioni 7a, 16a.

Vantaggiosamente, secondo l'invenzione elementi distanziatori 5, 14 sono definiti sulle pareti laterali della prima pluralità di regioni 3, 12.

30 In questo modo l'ampiezza delle regioni 7a, 16a che vengono definite

dallo strato 7 protettivo, è variata secondo le esigenze di progetto delle strutture da realizzare.

5 In una forma di realizzazione dell'invenzione vengono formate regioni 3, 12 sul substrato 1, ed degli elementi distanziatori 5, 14 sulle pareti delle prime regioni 3, 12.

Dopo aver formato lo strato 7, 16 protettivo e planarizzato la struttura così ottenuta, vengono rimossi gli elementi 5, 14 distanziatori, formando così una pluralità di regioni 3,7a e 12, 16a aggettanti dal substrato e tra loro separate.

10 La distanza tra dette regioni 3, 7a e 12, 16a è determinata dallo spessore degli elementi 5, 14 distanziatori.

15 Viene descritta qui di seguito descritta una forma di realizzazione del metodo secondo l'invenzione per realizzare due zone impiantate contigue, come una regione di base estrinseca, una regione di base intrinseca e una regione di emettitore di un transistor bipolare.

20 Su un substrato 1 semiconduttore ad esempio di silicio viene depositato un primo strato 2, per esempio ossido. Si effettua quindi una definizione di questo primo strato 2 tramite tecniche standard di litografia e di attacco per realizzare regioni 3 aggettanti dal substrato 1 semiconduttore.

Vantaggiosamente vengono formati sulle pareti laterali delle regioni 3, che sono state utilizzate per mascherare il primo impianto, separatori 5 (spacers) di un materiale diverso da quello del primo strato 2, ad esempio nitruro di silicio.

25 Viene effettuata successivamente una prima fase di impiantazione necessaria a formare una prima regione o giunzione 4 come mostrato in figura 5.

30 Tale prima regione 4 impiantata risulta auto-allineata alle regioni 3 e può essere utilizzata per realizzare una regione di base estrinseca di un transistor bipolare.

5 Vantaggiosamente, viene formato uno strato 6 di metallo, ad esempio un metallo di transizione come Titanio, Cobalto oppure Nitruro sul substrato 1. Viene quindi effettuato un trattamento termico dell'intero dispositivo in modo che lo strato 6 di metallo, reagendo con il substrato 1 non coperto con le regioni 3 e i separatori 5, formi uno strato di silicio atto a ridurre la resistività di strato.

Viene quindi formato, su tutto il substrato 1, un secondo strato 7 con proprietà di attacco selettive rispetto al primo strato 2.

10 Ad esempio il secondo strato 7 è uno strato di nitruro di silicio che viene depositato mediante CVD (Chemical Vapor Deposition), che dà luogo ad una buona copertura delle regioni 5 aggettanti dal substrato 1.

Secondo l'invenzione, si effettua quindi una fase di rimozione dello strato 7 in modo da scoprire il primo strato 2 come mostrato in figura 7.

15 Regioni 7a del secondo strato 7 rimangono quindi confinate tra le regioni 3 aggettanti da substrato.

Vantaggiosamente tale fase rimozione è una fase di planarizzazione effettuata, ad esempio, tramite tecnica CMP.

20 A questo punto vengono rimossi con attacco selettivo, per esempio con un attacco in una soluzione a base di acido fluoridrico, le prime regioni 5.

Utilizzando un attacco selettivo non vengono danneggiati i separatori 5 e le regioni del secondo strato 7 rimaste su substrato 1.

25 Viene quindi effettuata una seconda fase di impiantazione per formare regioni 8, 8a impiantate per realizzare ad esempio rispettive giunzioni di emitter 8 e base 8a di un transistor bipolare.

Questa seconda fase di impiantazione è schermata, nelle zone dove già esiste la prima regione 4 dal secondo strato 7 protettivo come mostrato in figura 9.

Le regioni 7a dello strato 7 sono successivamente rimosse mediante un

attacco selettivo rispetto al substrato 1, ad esempio in acido fosforico caldo.

5 Vantaggiosamente, tali regioni 7a sono utilizzate per successive fasi di processo, ad esempio completare il dispositivo e per realizzare un contatto auto-allineato sull'emettitore nel caso di transistor bipolare.

10 Per realizzare le regioni 5 e lo strato 7 protettivo si possono vantaggiosamente utilizzare coppie di materiali di tipo diverso, purché suscettibili di essere depositi a bassa temperatura, di essere planarizzati sempre con tecnica CMP, e aventi la proprietà di essere rimossi selettivamente tra di loro e rispetto al substrato.

Ad esempio, si possono invertire gli strati di ossido e nitruro, oppure si può utilizzare come primo strato 2 un silicio policristallino, depositato su di un sottile strato di ossido, e come secondo strato 7 uno strato di ossido o nitruro.

15 È evidente inoltre che la posizione reciproca della prima 4 e delle seconda giunzione 8 può essere variata secondo le esigenze funzionali del dispositivo attraverso la formazione di elementi distanziatori 5 di lunghezza appropriata e materiale adeguato prima della prima o seconda fase di impiantazione.

20 Vantaggiosamente, secondi elementi distanziatori 9 sono formati sulle pareti laterali dei primi elementi distanziatori 5. Tali secondi elementi distanziatori 9 sono formati ad esempio mediante uno strato di saliciuro di Ti, Co oppure Ni.

25 La larghezza di questi elementi distanziatori 9 è modulabile tramite la quantità di materiale depositato e l'entità dell'attacco, ottenendo quindi una separazione tra i primi elementi distanziatori 5 che può facilmente raggiungere dimensioni sub-litografiche.

Nelle figure da 10 a 15 è mostrata una seconda forma di realizzazione del metodo secondo l'invenzione.

30 Su un substrato 1 semiconduttore si forma un primo strato 10

dielettrico sottile ed un primo strato 11 protettivo spesso, ad esempio di circa 0.5-1 $\mu$ m. Il primo strato 10 dielettrico è ad esempio ossido mentre il primo strato 11 protettivo è uno strato nitruro come mostrato in figura 10.

- 5 Si effettua una fase di definizione del primo strato 11 protettivo per formare regioni aggettanti o colonne tozze 12 (pillar) lasciando intatto il primo strato 11 dielettrico come mostrato in figura 11.

10 Vantaggiosamente, tale fase di definizione è realizzata mediante una tecnica convenzionale e successiva fase di attacco mediante RIE (Reactive Ion Etching).

Vantaggiosamente sulle pareti laterali delle colonne tozze 12, che sono state utilizzate per mascherare il primo impianto, vengono formati separatori 14 (spacers) realizzati con un materiale selettivo rispetto a quello con cui sono realizzate le colonne tozze 12.

- 15 Viene quindi effettuata una prima fase di impiantazione pesante su tutto il substrato 1 per realizzare una prima regione 13 impiantata.

Tale prima regione 13 impiantata risulta auto-allineata alle colonne tozze 12 e può essere utilizzata per realizzare la regione di base estrinseca di un transistor bipolare.

- 20 Si effettuano i trattamenti termici di attivazione del drogante per completare la prima regione 13 impiantata.

La realizzazione dei separatori 14 riduce eventuali problemi dovuti alla diffusione laterale.

- 25 Vantaggiosamente, viene effettuata la deposizione di uno strato 15 di metallo ad esempio di transizione come Ti, Co, Ni su tutto il dispositivo. Viene quindi effettuato un trattamento termico dell'intero dispositivo in modo che lo strato 15 di metallo reagendo con il substrato 1 non coperto dalle colonne tozze 12 forma uno strato di siliciuro atto a ridurre la resistività di strato.

Secondo l'invenzione si depone uno strato 16 protettivo su tutto il substrato 1. Tale strato 16 dielettrico è ad esempio uno strato spesso di ossido di isolamento pre-metal come mostrato in figura 13.

5 Viene quindi eseguita una fase di planarizzazione ad esempio tramite CMP, fino ad esporre le colonne tozze 12.

Regioni 16a del secondo strato 16 rimangono quindi confinate tra le regioni 3 aggettanti da substrato.

10 Vengono quindi rimosse le colonne tozze 12 mediante un attacco selettivo. Se le colonne tozze 12 sono realizzate con nitrato di silicio tale attacco selettivo avviene ad esempio tramite fosforo caldo o un plasma ad alta selettività.

Si procede a rimuovere lo strato 10 dal substrato 1. Tale fase di rimozione avviene ad esempio mediante una soluzione bufferata.

15 Vengono successivamente effettuate una seconda ed una terza fase di impiantazione per realizzare una seconda 17 e una terza regione 17a impiantata, quest'ultima regione 17a impiantata essendo completamente incorporata nella seconda regione 17 come mostrato in figura 15.

20 La seconda 17 e una terza regione 17a impiantata possono essere utilizzate come regione di base intrinseca e regione di emettitore di un transistor bipolare.

Il dispositivo è quindi completato mediante fasi di processo note. In particolare nel caso di transistor bipolari si esegue la formazione del contatto secondo l'arte nota.

25 In questa forma di realizzazione, ad esempio, la formazione della regione base e della regione di emettitore di transistori bipolari sono autoallineate al contatto della regione di emettitore, evitando che l'attacco contatti danneggi la superficie del substrato 1. Vengono inoltre evitati trattamenti termici, collegati alla formazione della regione di base estrinseca, che alterano il profilo della regione di emettitore.

30

Sebbene il metodo di fabbricazione sia riferito alla fabbricazione di transistori bipolari il metodo secondo l'invenzione può essere utilizzato, ad esempio, per ottenere una zona di polisilicio autoallineata ad un impianto, ad esempio un impianto profondo anti-punch-through, che  
5 non si vuole finisca sotto le regioni di source-drain di un transistor MOS in modo da ridurre le capacità di giunzione.

In conclusione, il metodo secondo l'invenzione consente di definire strutture auto-allineate, evitando scavi sul substrato 1 e senza implicare pesanti trattamenti termici.

10 In particolare le strutture realizzate con questo metodo vengono utilizzate come maschere per lo strato sulle quali sono state formate oppure sono utilizzate esse stesse come strutture attive di un circuito integrato nella quale sono integrate.

15 Nel caso vengano realizzate regioni impiantate, tali regioni una distanza variabile a piacere, e controllabile, anche al di sotto dei limiti litografici.



## RIVENDICAZIONI

1. Metodo per formare strutture tra loro autoallineate su un substrato (1) semiconduttore comprendente le seguenti fasi:

- 5       - formare sul substrato (1) semiconduttore prime regioni (3, 12) di un primo materiale aggettanti da detto substrato (1) semiconduttore,
- formare uno strato (7, 16) protettivo su tutto detto substrato (1) semiconduttore di un secondo materiale che è selettivo rispetto al primo materiale,
- 10       - rimuovere detto strato (7, 16) protettivo fino ad esporre dette prime regioni (3, 12) mediante una fase di planarizzazione.
- attaccare dette prime regioni (3, 12) fino ad esporre detto substrato (1) semiconduttore e formare seconde regioni (7a, 16a) aggettanti dal substrato (1) di detto strato (7, 16) protettivo.

15   2. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto di comprendere le seguenti fasi:

- realizzare primi elementi distanziatori (5, 14) sulle pareti laterali di dette prime regioni (3, 12) di un secondo materiale selettivo rispetto al primo materiale prima di realizzare detto strato (7, 16) protettivo.

20   3. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 2, caratterizzato dal fatto di comprendere le seguenti fasi:

- attaccare dette prime regioni (3, 12) fino ad esporre detto substrato (1) semiconduttore e formare regioni (7a, 16a) aggettanti dal substrato di detto strato protettivo.

25   4. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto di comprendere le seguenti fasi:

- effettuare una fase di impiantazione su tutto il substrato (1) semiconduttore per realizzare prime regioni (4, 13) impiantate in detto

substrato (1) semiconduttore adiacenti a dette prime regioni (3, 12) prima di formare lo strato (7, 16) protettivo.

5. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto di comprendere le seguenti fasi:

- 5 - effettuare una fase di impiantazione su tutto detto substrato (1) semiconduttore per realizzare regioni (8, 8a e 17, 17a) impiantate in detto substrato (1) semiconduttore adiacenti a dette seconde regioni (7a, 16a).

- 10 6. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 2, caratterizzato dal fatto di comprendere le seguenti fasi:

- realizzare secondi elementi distanziatori (9) sulle pareti laterali di detti primi elementi distanziatori (5).

- 15 7. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 2, caratterizzato dal fatto che detti primi elementi distanziatori (5, 14) sono di un terzo materiale che è selettivo rispetto al primo materiale.

- 20 8. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 6, caratterizzato dal fatto che detti secondi elementi distanziatori (9) sono di un quarto materiale che è selettivo rispetto al primo materiale.

9. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di planarizzazione viene realizzata con tecnica CMP.

- 25 10. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto che detto primo materiale è un ossido di silicio e detto secondo materiale è nitruro di silicio.

11. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto che detto primo materiale è nitruro di silicio e detto secondo materiale è un ossido di silicio.

12. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto di comprendere le seguenti fasi:

- 5     - realizzare un ulteriore strato protettivo (10) su tutto detto substrato (1) prima di realizzare dette prime regioni (3, 12) di un quinto materiale che è selettivo rispetto al primo materiale.

13. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 8, caratterizzato dal fatto che detto terzo e quarto materiale è nitrato di silicio.

- 10    14. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 8, caratterizzato dal fatto che detto quinto materiale è ossido di silicio.

- 15    15. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 1, caratterizzato dal fatto che dette prime regioni (4, 13) impiantate sono regioni di base estrinseca di un transistor bipolare, e dette almeno seconde regioni (8, 8a e 17, 17a) sono rispettivamente le giunzioni di emitter 8 e base 8a di un transistor bipolare.

16. Metodo per formare strutture tra loro autoallineate secondo la rivendicazione 2, caratterizzato dal fatto di comprendere le seguenti fasi:

- 20    - formare uno strato (6, 14) metallico su detto substrato (1) semiconduttore dopo aver realizzato detti primi elementi distanziatori (5, 14) e successivo trattamento termico per realizzare selettivamente uno strato di silicio sulle porzioni di substrato (1) lasciate esposte dette prime regioni (3, 12) e detti primi elementi distanziatori (5, 14).

- 25    17. Metodo per formare strutture tra loro autoallineate su un substrato (1) semiconduttore comprendente le seguenti fasi:

- formare sul substrato (1) semiconduttore prime regioni (3, 12) di un primo materiale aggettanti da detto substrato (1) semiconduttore,
- realizzare primi elementi distanziatori (5, 14) sulle pareti laterali di dette prime regioni (3, 12) di un secondo materiale selettivo rispetto al

primo materiale prima di realizzare detto strato (7, 16) protettivo,

- formare uno strato (7, 16) protettivo su tutto detto substrato (1) semiconduttore di un terzo materiale che è selettivo rispetto al secondo materiale,

5 - rimuovere detto strato (7, 16) protettivo fino ad esporre dette prime regioni (3, 12) mediante una fase di planarizzazione,

- attaccare dette primi elementi distanziatori (5, 14) fino ad esporre detto substrato (1) semiconduttore e formare regioni (7a) aggettanti dal substrato di detto strato protettivo.

## RIASSUNTO

Metodo per formare strutture tra loro autoallineate su un substrato (1) semiconduttore comprendente le seguenti fasi:

- 5       - formare sul substrato (1) semiconduttore prime regioni (3, 12) di un primo materiale aggettanti dal substrato (1) semiconduttore,
- formare uno strato (7, 16) protettivo su tutto il substrato (1) semiconduttore di un secondo materiale che è selettivo rispetto al primo materiale,
- 10      - rimuovere lo strato (7, 16) protettivo fino ad esporre dette prime regioni (3, 12) mediante una fase di planarizzazione,
- attaccare dette prime regioni (3, 12) fino ad esporre detto substrato (1) semiconduttore e formare seconde regioni (7a, 16a) aggettanti dal substrato (1) di detto strato protettivo. Vantaggiosamente, sulle pareti laterali delle prime regioni vengono realizzati degli elementi  
15      distanziatori.

Fig. 7

**THIS PAGE BLANK (USPTO)**

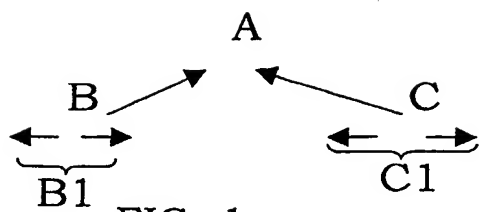


FIG. 1

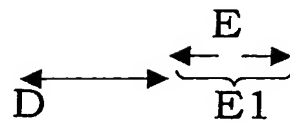


FIG. 2

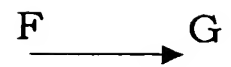


FIG. 3

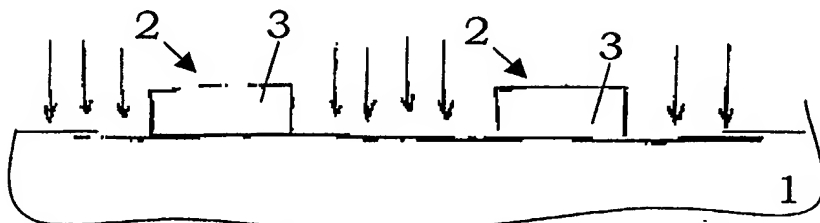


FIG. 4

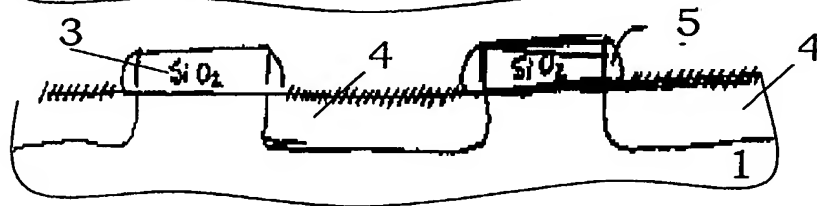


FIG. 5

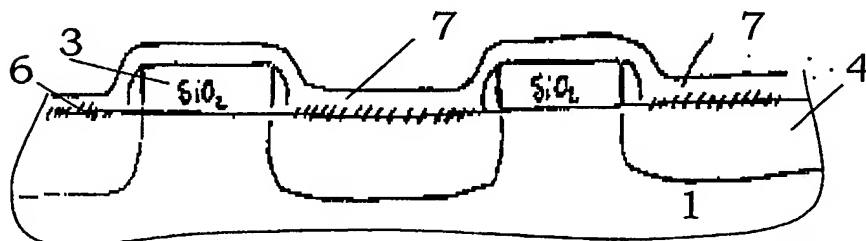


FIG. 6

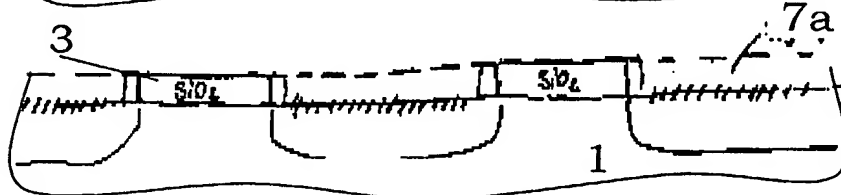


FIG. 7

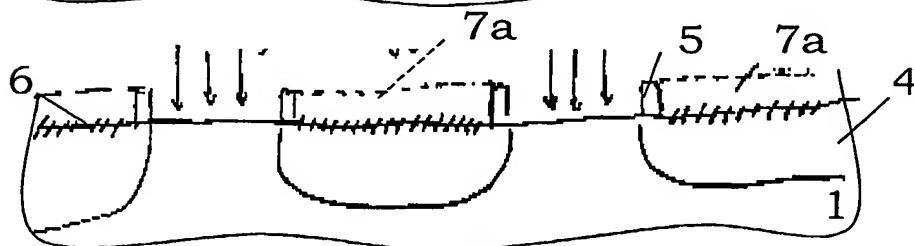


FIG. 8

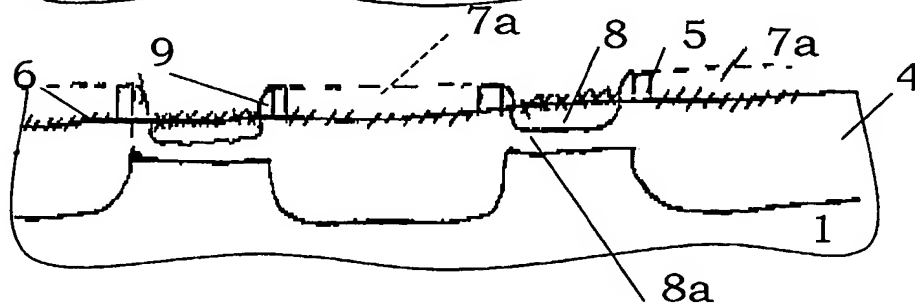


FIG. 9

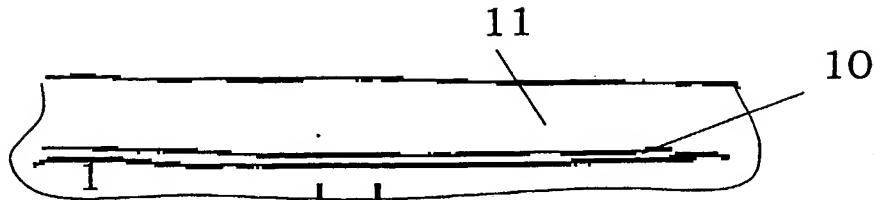


FIG. 10

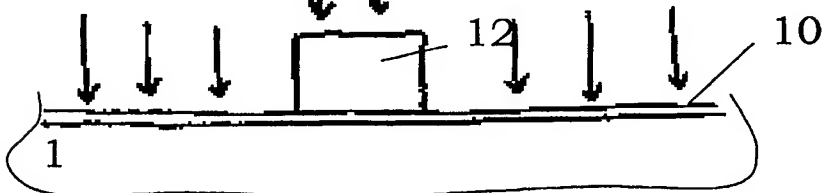


FIG. 11

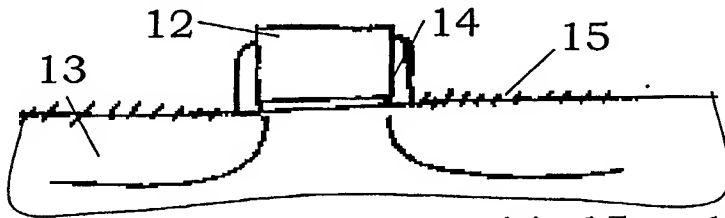


FIG. 12

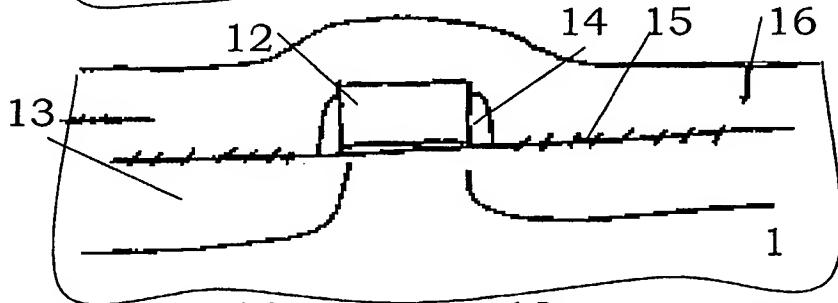


FIG. 13

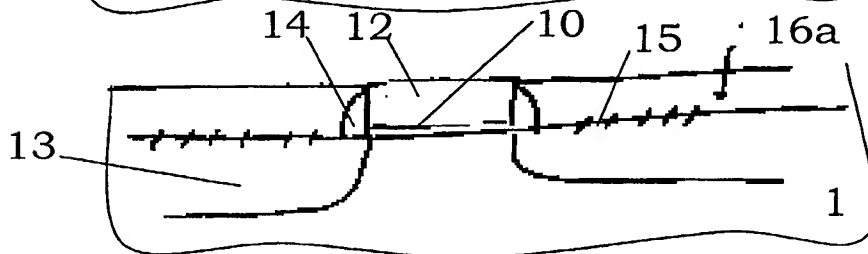


FIG. 14

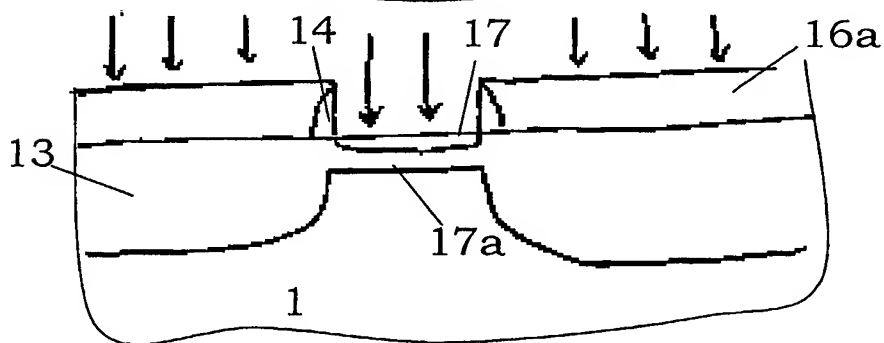


FIG. 15